

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-252290

(43)Date of publication of application : 14.09.2000

(51)Int. CI.

H01L 21/331

H01L 29/73

(21)Application number : 11-055895 (71)Applicant : SANYO ELECTRIC CO LTD

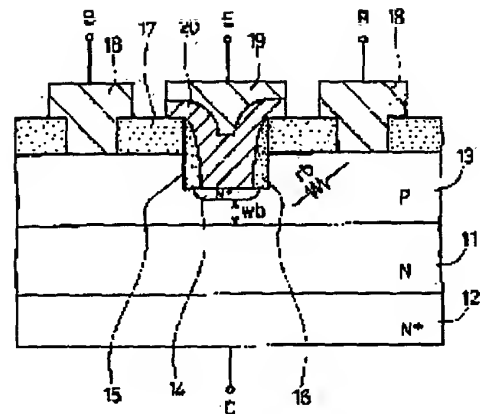
(22)Date of filing : 03.03.1999 (72)Inventor : KUBO HIROTOSHI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a transistor device excellent in high frequency characteristic by performing emitter diffusion from the bottom surface of a trench formed on a base surface.

SOLUTION: A base region 13 is formed of an epitaxial layer on the surface of a semiconductor substrate 11 turning to a collector, and a trench 15 is formed on the surface of the base region 13. The side wall of the trench 15 is covered with a spacer 16, and a polycrystalline silicon film 20 is buried in the trench. An emitter region 14 is formed by impurity diffusion from the polycrystalline silicon film 20. Low leading-out resistance r_b and fine base width W_b can be obtained.



LEGAL STATUS

[Date of request for examination] 03.12.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-252290
(P2000-252290A)

(43) 公開日 平成12年9月14日 (2000.9.14)

(51) Int. Cl.
H 0 1 L 21/331
29/73

識別記号

F I
H 0 1 L 29/72Fターム(参考)
5 F 0 0 3

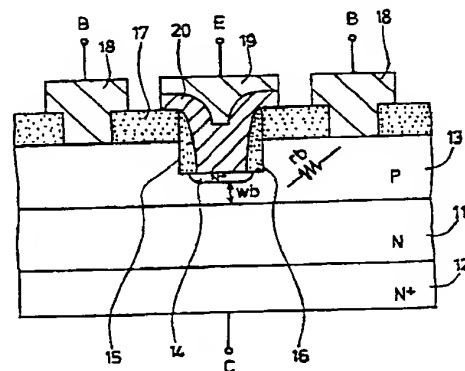
審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21) 出願番号 特願平11-55895
(22) 出願日 平成11年3月3日 (1999.3.3)(71) 出願人 000001889
三洋電機株式会社
大阪府守口市京阪本通2丁目5番5号
(72) 発明者 久保 博裕
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内
(74) 代理人 100111383
弁理士 芝野 正雅
Fターム(参考) 5F003 BA11 BA14 BB02 BB05 BB90
BC90 BE07 BE08 BF03 BP01
BP06 BP11 BP23 BP31 BP41
BP93

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

【課題】 ベース表面に形成した溝の底面からエミッタ拡散を行うことにより、高周波特性に優れたトランジスタ装置を得る。

【解決手段】 コレクタとなる半導体基板11の表面にエピタキシャル層によってベース領域13を形成し、ベース領域13の表面に溝15を形成する。溝15の側壁をスペーサ16で被覆し、多結晶シリコン膜20で埋設する。多結晶シリコン膜20からの不純物拡散によってエミッタ領域14を形成する。低い取り出し抵抗 r_b と微細なベース幅 W_b を得ることができる。

13 : ベース領域
14 : エミッタ領域
15 : 溝
16 : スペーサ
20 : 多結晶シリコン膜

20/23

(2)

特開2000-252290

1

【特許請求の範囲】

【請求項1】 一導電型のコレクタ層の表面に形成した逆導電型のベース領域と、
前記ベース領域の表面に設けた溝と、
前記溝の底部の前記ベース領域表面に形成した一導電型のエミッタ領域とを具備することを特徴とする半導体装置。

【請求項2】 一導電型のコレクタ層の表面に、エビタキシャル成長法によって形成した逆導電型のベース領域と、
前記ベース領域の表面に設けた溝と、
前記溝の側壁を被覆するスペーサと、
前記溝を埋設するように被覆する拡散源膜と、
前記拡散源膜下部の前記ベース領域表面に形成した一導電型のエミッタ領域と、
前記ベース領域の表面にコンタクトするベース電極と、
を具備することを特徴とする半導体装置。

【請求項3】 一導電型のコレクタ層の表面に、エビタキシャル成長法によって逆導電型のベース領域を形成する工程と、
前記ベース領域の表面に、前記コレクタ層には進まない溝を形成する工程と、
前記溝の内壁にスペーサを形成する工程、
前記溝の内部にエミッタ拡散用の不純物を含む多結晶シリコン層を形成する工程と、
前記多結晶シリコン層から不純物を拡散してエミッタ拡散を行う工程と、を具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、高周波トランジスタ装置に関する。

【0002】

【従来の技術】 一般的なNPN型のプレーナ型高周波トランジスタの構造を図5に示した。即ち、N+型の半導体層1を具備するN型のコレクタ層2の表面にP型のベース領域3を形成し、ベース領域3表面にN+型のエミッタ領域4を形成し、表面をシリコン酸化膜5で被覆し、絶縁膜5に開口部を形成してコンタクトホールとし、ベース電極6とエミッタ電極7を形成したものである。高周波特性は主としてベース幅 W_b に依存するので、エミッタ領域4周囲にP+外部ベース領域8を設けたクラフトベース型の構造が採用されている。この形状では、狭いベース幅 W_b が得られると同時に、ベース・コレクタ接合に広がる空乏層の曲率を緩和し、且つベース取り出し抵抗を減じることが出来る。

【0003】 また、浅いベース幅 W_b を得るためには浅いエミッタ接合が不可欠であり、このために不純物をドーピングしたポリシリコン層9からの不純物拡散によってエミッタ領域を4形成することが行われている（例えば、

2

特開平7-142497号）。

【0004】

【発明が解決しようとする課題】 しかしながら、図5のクラフトベース型では、ベース領域3と外部ベース領域8とをイオン注入と熱拡散によって形成するので、2回のホトエッチング技術が必要であり、さらなる工程の簡素化が困難である欠点があった。

【0005】 また、ベース領域3を熱拡散で形成するので、その拡散深さがばらつきやすく、高周波特性のばらつきが大きい欠点があった。

【0006】 更に、ベースを熱拡散で形成しているので、浅い接合を得ることが困難であり、しかも浅い接合を得るためには不純物濃度も低く設定せざるを得ないので、ベースの取り出し抵抗 r_b が大きくなりがちである欠点があった。

【0007】

【課題を解決するための手段】 本発明は上述した欠点に鑑み成されたもので、一導電型のコレクタ層の表面に、逆導電型のベース領域を形成し、ベース領域に溝を形成し、該溝の底部にエミッタ領域を形成したことを特徴とするものである。

【0008】

【発明の実施の形態】 以下に本発明の一実施例を詳細に説明する。図1は本発明のNPN型のトランジスタ装置を示す断面図である。

【0009】 11はコレクタとなり、裏面側にN+型の半導体層12を有する半導体基板、13はP型のベース領域で、エビタキシャル層で構成される。14はベース領域14の表面に形成したN+型のエミッタ領域、15はベース領域13の一部に形成した溝、16は溝15の側壁を被覆するスペーサ、17はベース領域13の表面を被覆するシリコン酸化膜、18はシリコン酸化膜17に開口されたコンタクトホールを通してベース領域13の表面にコンタクトするベース電極、19はエミッタ電極、20はエミッタ電極19の一部を構成しエミッタ領域14の拡散源膜となる多結晶シリコン層である。

【0010】 ベース領域13は、熱拡散によって所定の拡散深さに形成した拡散領域か、あるいは気相成長法によって基板11の上に形成された、不純物濃度が厚み方向に一定の不純物プロファイルを持つ半導体層からなり、膜厚は1.0 μ m程度である。溝15は幅が0.5 μ m程度で且つベース領域13表面から下方向に約0.7 μ m程度掘り下げられたものである。溝15の底部にはP型のベース領域13が露出し、該底部にエミッタ領域14が0.1 μ m程度の拡散深さで形成されている。

【0011】 スペーサ16はノンドーピングシリコン酸化膜等の絶縁膜からなり、約0.1 μ mの膜厚で溝15の側壁を被覆する。従って、溝15を0.5 μ m \times 0.5 μ mの大きさで開口し、側壁にスペーサ16を設けたとすれば、溝15の底部には0.3 \times 0.3 μ mの大きさで

4/23

(3)

特開2000-252290

3

4

ベース領域13が露出する。

【0012】1.0 μ mのベース領域13に対して0.7mmの溝15と0.1mmのエミッタ領域14とにより、このトランジスタのベース幅Wbは0.2mm程度となる。

【0013】この様に、溝15の底部にエミッタ領域14を形成することによって、溝15の深さでベース幅Wbを決定することが出来る。熱拡散で極めて浅い接合を得るには不純物濃度を低下しなければならないのに対して、溝15を形成することで、ベース領域13の不純物濃度を増大できるので、ベース領域13を1つの領域で確保することができる。従って拡散工程を1つ不要にする事が出来る。更に、ベース領域13の不純物濃度をある程度高く維持できるので、エミッタ領域14直下の、ベースとして活性な領域からベース電極18までの抵抗rbを低減することが可能である。

【0014】また、ベース領域をエピタキシャル層で形成した場合は、その膜厚のばらつきが10%程度、溝15のエッチングによる深さのばらつきが約10%程度であるので、結果ベース幅Wbのばらつきは14~20%である。この値は、従来のイオン注入と熱拡散によって形成したベース幅Wbが30%程度ばらついていたのに対して、大幅に減じることが出来るものである。

【0015】以下に、本発明の製造方法を説明する。

【0016】第1工程：図2(A)参照

まずはN型基板11を準備する。裏面側にはコレクタ取り出しとなる高濃度層12を具備している。基板11表面を清浄化した後、全面に気相成長法によってP型のエピタキシャル層を形成してベース領域13とする。

【0017】ベース領域13の上に膜厚5000Å程度のシリコン酸化膜17を形成し、通常のホットエッチング技術によって開口部31を形成する。

【0018】第2工程：図2(B)参照

シリコン酸化膜17をマスクにベース領域13のシリコンを異方性エッチングして、溝15を形成する。溝15のエッチング深さは、前述したようにベース幅Wbを決める深さとなる。

【0019】第3工程：図2(C)参照

全面に、LPCVD法によって膜厚が8000ÅのNSG膜(ノンドーパシリコン酸化膜)32を形成する。NSG膜32は溝15の内部を埋設する。

【0020】第4工程：図3(A)参照

溝15の底部にベース領域13が露出するまでNSG膜32を異方性エッチングして、溝15の側壁にスペーサ16を形成する。

【0021】第5工程：図3(B)参照

CVD法によって全面に多結晶シリコン膜20を形成する。多結晶シリコン膜20は溝15内部を埋設し、ベース領域13表面に接触する。全面にエミッタ拡散用の砒素をイオン注入した後、通常のホットエッチング技術によって多結晶シリコン膜20をパターンニングし、溝15の上部にのみ残して残りは除去する。

【0022】第6工程：図3(C)参照

全体に900~1000°C、0.5~2時間の熱処理を与えることにより、多結晶シリコン層19から砒素を拡散してエミッタ領域14を形成する。溝15の側壁がスペーサ16で被覆されているので、溝15の底部にのみ不純物を拡散することができる。

【0023】第7工程：図4(A)参照

酸化膜17をホットエッチング技術によって開口して、ベース領域13の表面を露出するコンタクトホール33を形成する。

【0024】第8工程：図4(B)参照

全体にアルミニウム材料をスパッタ法あるいは蒸着法によって形成し、これをホットエッチングすることによってベース電極18とベース電極19を形成する。

【0025】斯かる手法によって得られる本発明のトランジスタ装置は、熱拡散処理がエミッタ拡散用の熱処理だけで済むので、全体の熱履歴を短縮でき、素子特性のばらつきを低減できるものである。また、スペーサ16を用いることにより、ホットエッチング技術の限界よりも更に微細化した溝15を形成できるので、更に高周波特性に優れたトランジスタ装置を得ることが出来る。

【0026】尚、本実施例はNPN型を例に取り説明したが、導電型を反対にしてPNP型のトランジスタでも実施することが可能である。

【0027】

【発明の効果】以上に説明したとおり、本発明によれば、溝15によって微細なベース幅Wbを得るので、従来よりも高周波特性のばらつきを抑制したトランジスタ装置を実現できる利点を有する。

【0028】また、従来よりも微細なベース幅Wbが得られると同時に、従来の外部ベースが不要であるので、プロセスが簡略化され、ベースの取り出し抵抗rbが小さいトランジスタ装置を得ることが出来る利点を有する。

【図面の簡単な説明】

【図1】本発明を説明するための断面図である。

【図2】本発明を説明するための断面図である。

【図3】本発明を説明するための断面図である。

【図4】本発明を説明するための断面図である。

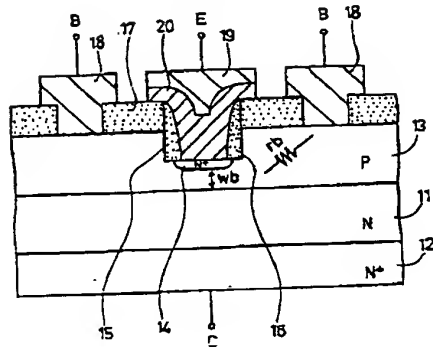
【図5】従来例を説明するための断面図である。

22/23

(4)

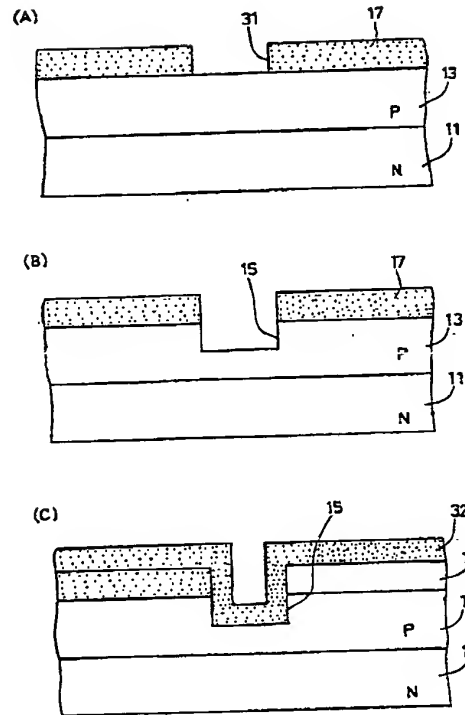
特開2000-252290

【図1】

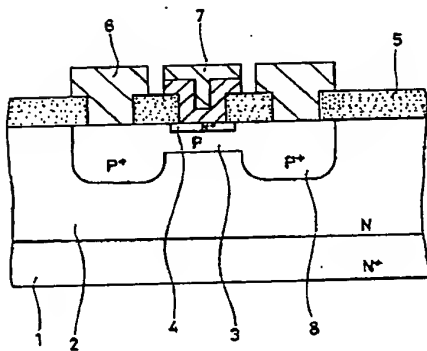


- 13 : ベース領域
- 14 : エミッタ領域
- 15 : 溝
- 16 : スペース
- 20 : 多結晶シリコン層

【図2】



【図5】

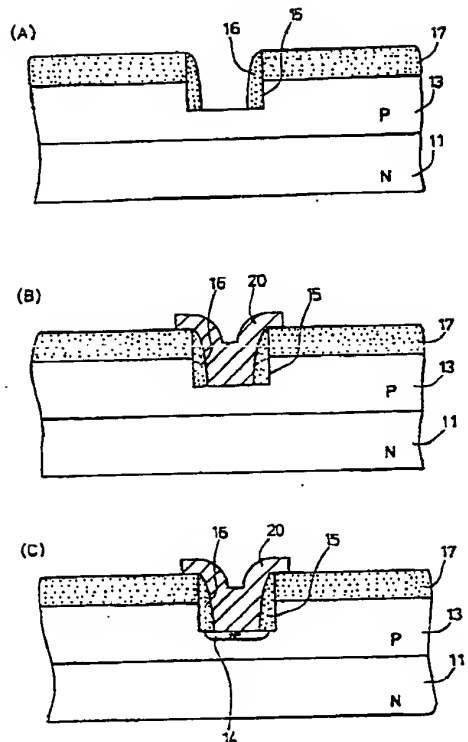


3/3

(5)

特開2000-252290

【図3】



【図4】

